

제 13 절

S5-115U PLC

이 절은 S5-115U, PLC(프로그램머블 컨트롤러)의 동작 방법과 구조를 다룬다.

이 절은 본 교육 과정에서 다루어진 주제에 대하여 학습한 지식을 보충하고 심화시키기 위하여, 그리고 참고 자료로 사용되게하기 위한 것이다.

응 용

SIMATIC S5-115U PLC는 중간 범위 및 하위 범위의 자동화 작업에 적합하다. 이 제어기는 다음과 같은 자동화 과제에 대한 문제를 해결한다.

- 개 루프 제어
- 폐 루프 제어와 계산
- 협조(coordination)와 통신
- 운전 요원과 공정 사이의 통신 및 공정의 시각화
- 결과를 보고하고 목록 작성하기

특 징

중요한 다수의 특징은 다음과 같다 :

- 간결한 블록 형태의 모듈
- 확장성이 뛰어난 모듈 방식의 설계
- 사용의 간편함
- 대략적으로 60개의 입/출력부터 최고 2048개의 입/출력까지의 경계적임
- STEP 5 언어에 의한 구조화 프로그램 작성
- 확장성있는 표준 소프트웨어

구 성

표준 구성에 있어 S5-115U PLC는 전원 모듈(PS), CPU 모듈, 그리고 디지털 입/출력 모듈로 장착된 보조랙(subrack)으로 이루어진다.

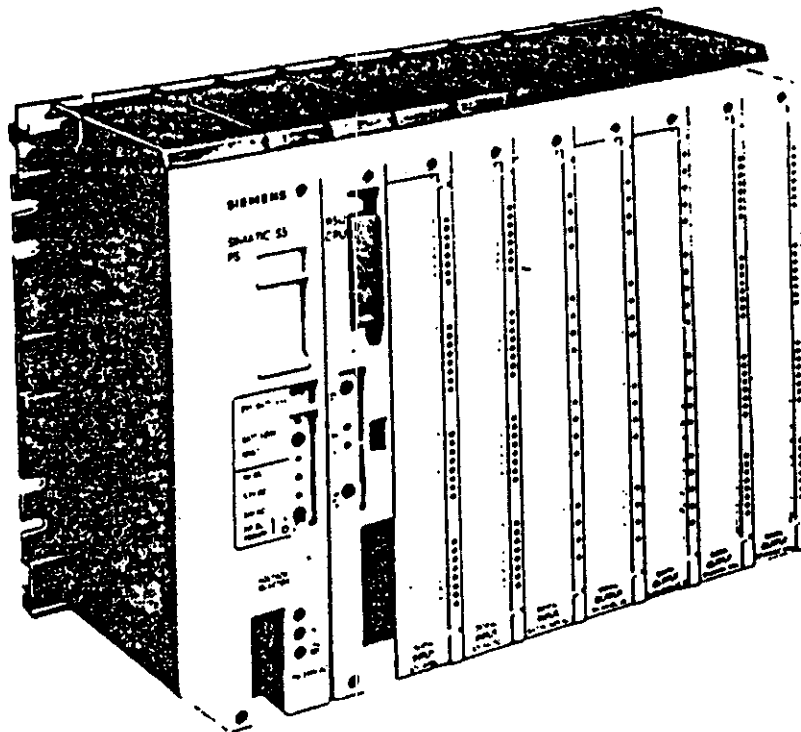


그림 13.1

전원 모듈

전원 모듈이 발생하는 전압은 다음과 같다.

- + 5V, 모든 모듈 용도
- + 5.2V, PG 605 U 및 PG 615U 프로그램 작성기 용도
- + 24V, 20mA 전류-루프 인터페이스 용도

전원 모듈은 다음과 같은 책무와 특징을 갖는다 :

- 리튬(lithium) 전지에 의한 RAM 백업
- 전지 변화 동안에 외부 RAM 백업을 위한 시설(두 개의 소켓을 통하여)
- 내부 전압과 백업 전지의 감시

주 의 ! 백업 전지는 최고 2년의 백업 시간이 경과하기 전에 교체해야 한다.

스위치, 화면 표시

앞면 판넬은 3개의 스위치와 4개의 LED를 가지고 있다(그림 참조). LED "BATT. LOW"는 RAM에 대한 백업 전지의 전압이 제한된 값 아래로 떨어지거나 전지가 삽입되지 않으면 켜진다. 이 LED는 "RESET" 푸시 버튼이 누르면 소등된다. 나머지 3개의 LED는 올바른 내부 동작 전압을 가리키기 위해 점등된다.

Power supply module

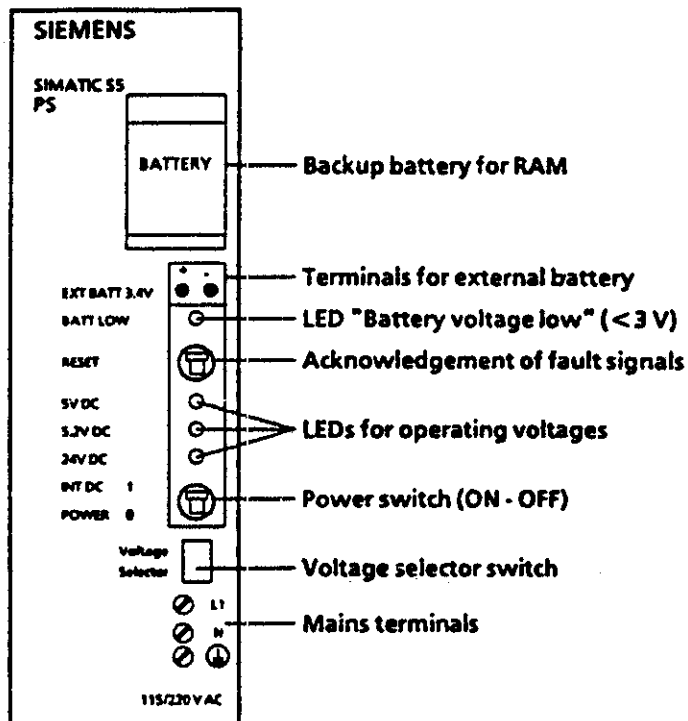


그림 13.2

CPU	<p>CPU는 PLC에서 가장 중요한 요소이며 다음과 같은 요소로 이루어져 있다.</p> <ul style="list-style-type: none"> - 마이크로 프로세서, ASIC(주문자 생산 응용 집적 회로)와 CPU의 동작 시스템 - 플래그, 타이머 및 카운터 - 내부의 프로그램 기억장치(RAM) 그리고 기억 장치 보조 모듈(memory submodule)을 추가 장착하기 위한 소켓(receptacle) - 프로그램 작성기 연결용 단자쌍(port) <p>4개의 다른 중앙 처리 장치가 사용될 수 있다. 이 CPU들은 성능순에 따라 CPU 941, CPU 942, CPU 943, CPU 944로 배열된다. 이 4개의 CPU 모두에 대한 앞면 판넬은 유사하며, 동작과 고장을 알리는 몇 개의 스위치와 LED를 제공한다.</p> <p>S5-115U는 2개의 모드 즉, STOP 모드와 RUN 모드를 가지고 있다.</p>
STOP 모드	<p>STOP 모드에서, 사용자 프로그램은 수행되지 않으며, 적색의 "ST" LED가 켜진다. PLC는 다음의 경우에 STOP 모드로 설정 된다.</p> <ul style="list-style-type: none"> • PLC의 CPU 모드 선택기(ST 위치)에 의하여, • 프로그램 작성기의 STOP 호출에 의하여 또는, • 고장이 발생하여 사용자 프로그램을 더 이상 수행할 수 없을때
RUN 모드	<p>RUN 모드에서, 사용자 프로그램은 주기적으로 수행되고 검색되며, 녹색 "RN" LED가 점등된다. PLC는 다음의 경우에 RUN모드가 된다.</p> <ul style="list-style-type: none"> • PLC의 CPU 모드 선택기(RN위치)에 의하여, • 프로그램 작성기의 RUN 호출에 의하여 <p>STOP 모드에서 RUN 모드로 전환하는 것을 "cold restart"(차가운 재시동)이라 부른다.</p>
NR/RE 스위치	<p>NR/RE 스위치(비보존/보존 스위치)를 사용하면 플래그, 타이머 및 카운터의 일부가 PLC의 STOP 모드에 들어간 뒤에, 그 상태를 유지할 것인가 또는 그 상태를 재설정할 것인가를 사용자가 결정할 수 있다.</p> <ul style="list-style-type: none"> • NR = nonretentive(비보존성) 스위치 위치에서, 모든 플래그, 타이머 및 카운터는 cold restart(차가운 재시동)때에 재설정된다. • RE = retentive(보존성) 스위치 위치에서, 절반의 플래그, 타이머 및 카운터는 cold restart때에 상태를 보존 유지하고, 그 나머지 절반은 재설정 된다.
OR 스위치 위치	<p>선택 스위치가 OR 위치에 있을때, PLC의 "Overall Reset"(전체 재설정)을 모드 선택기로 수행할 수 있다. 이 기능에 의하여 RAM 기억 장치는 모두 지워지고 플래그, 타이머 및 카운터는 모두 재설정 된다.</p>

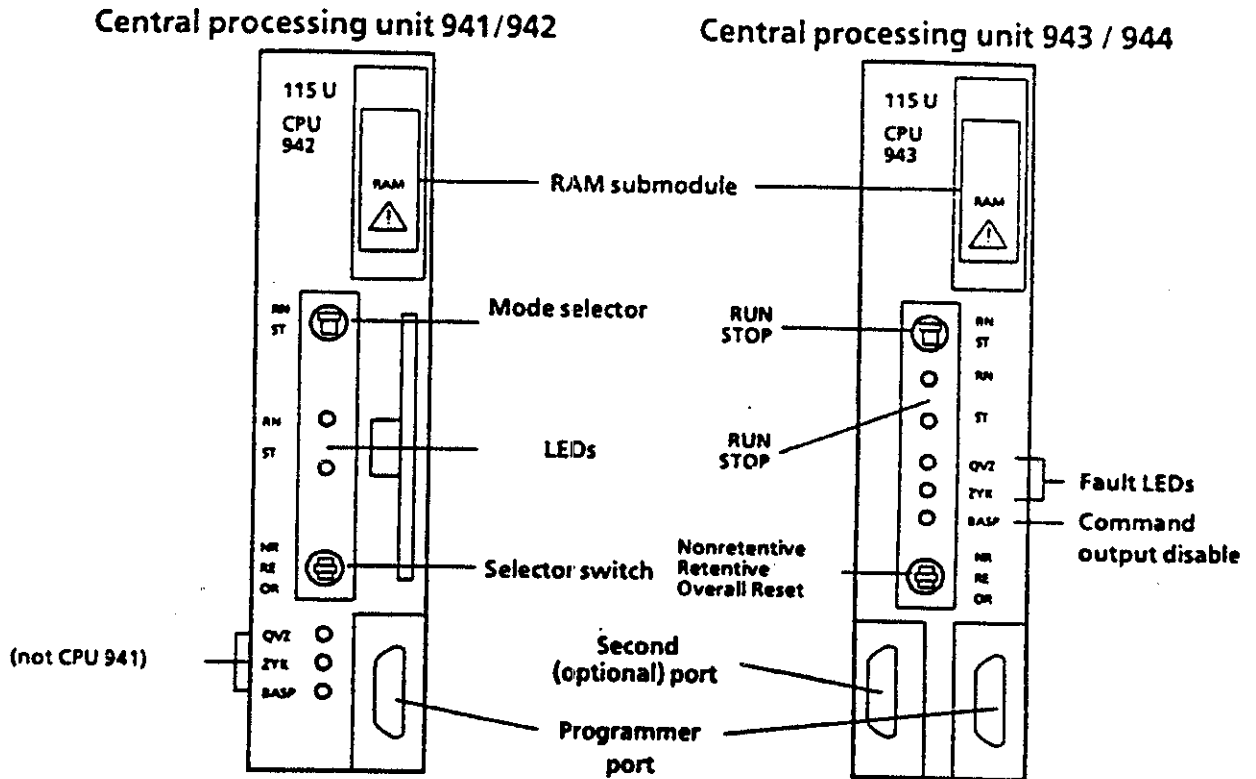


그림 13.3

고장 LED 표시등

CPU 942 또는 동급 이상에서는, PLC의 앞면(frontplate)에 "Timeout"(QVZ, 시간 경과), "Scan time exceeded"(ZYK, 검색 시간 초과)

명령 출력 불가능

그리고 "Command output disable"(BASP, 명령 출력 불가능)의 LED 표시등이 3개 더 있다. 후자의 신호(BASP)는 STOP 모드에서 출력 모듈을 불가능하게 한다.

CPU 비교

S5-115U PLC의 개별 CPU 모듈은 다음 데이터와 같이 차이가 있다 :

	CPU 941	CPU 942	CPU 943	CPU 944
Average execution time for 1K statements:	30 ms	18 ms	10 ms	3 ms
Program memory *) max. configuration	18 Kbytes	42 Kbytes	48 Kbytes	96 Kbytes
Internal RAM	2 Kbytes	10 Kbytes	16 Kbytes	96 Kbytes
Memory submodule				
RAM max.	16 Kbytes	32 Kbytes	32 Kbytes	-
EPROM max.	16 Kbytes	32 Kbytes	40 Kbytes	96 Kbytes
EPROM max.	16 Kbytes	16 Kbytes	16 Kbytes	96 Kbytes
Digital inputs:	Sum I, Q = 512	1024	1024	1024
Digital outputs:		1024	1024	1024

*) 1 statement normally reserves 2 bytes in program memory

설 계 CPU는 S5-115U PLC의 가장 중요한 요소이다. 이들은 고속의 비트 처리를 위하여 프로세서와 ASIC를 포함한다.

마이크로 프로세서는 모든 프로그램 작성기와의 인터페이스 기능, 내장된 타이머의 검색, 워드 동작의 처리 및 S5 버스의 제어를 다룬다. 운영 체제의 기억 장치외에 CPU는 내부에 설치된 RAM과 더불어 사용자 프로그램을 저장하기 위해 사용된다(13-7쪽의 테이블 참조).

프로그램 기억 장치는 CPU에 기억 장치의 보조 모듈을 연결함에 의해 최대 구성 규모로 확장할 수 있다.

기억 장치의 서브 모듈

다음의 세 가지의 보조 모듈이 사용 가능하다.
EPROM, EEPROM, RAM

EPROM 보조 모듈은 PG 615, 635, 675, 685 또는 PG 750 프로그램 작성기를 사용하여 프로그램 작성이 가능하다. UV 자외선 램프는 이런 형태의 보조 모듈을 지우는데 필요하다.

EEPROM 보조 모듈은 PG 615, 635, 675, 685 또는 PG 750을 사용하여 전기적으로 프로그램 작성이 가능하고 소거 가능하다.

RAM 보조 모듈은, 이와는 반대로, 시스템 시동시에 사용자 프로그램의 오류 수정(디버깅)에 주로 사용된다. 백업 전지가 모듈에 삽입되면 단지 프로그램을 저장하기 위하여 사용되어야 한다. 이 전지는 1년 또는 2년마다 교체해 주어야 한다.

이런 다양한 형태의 보조 모듈은 다양한 용도로 사용 가능하다(13-7쪽의 테이블 참조).

참 고

CPU 944는 내부의 RAM으로 최대의 기억 용량을 가지며, 따라서 RAM 보조 모듈을 사용할 필요가 없다. EPROM 또는 EEPROM 보조 모듈을 장착하면, 사용할 수 있는 내부의 RAM 영역은 따라서 줄어든다.

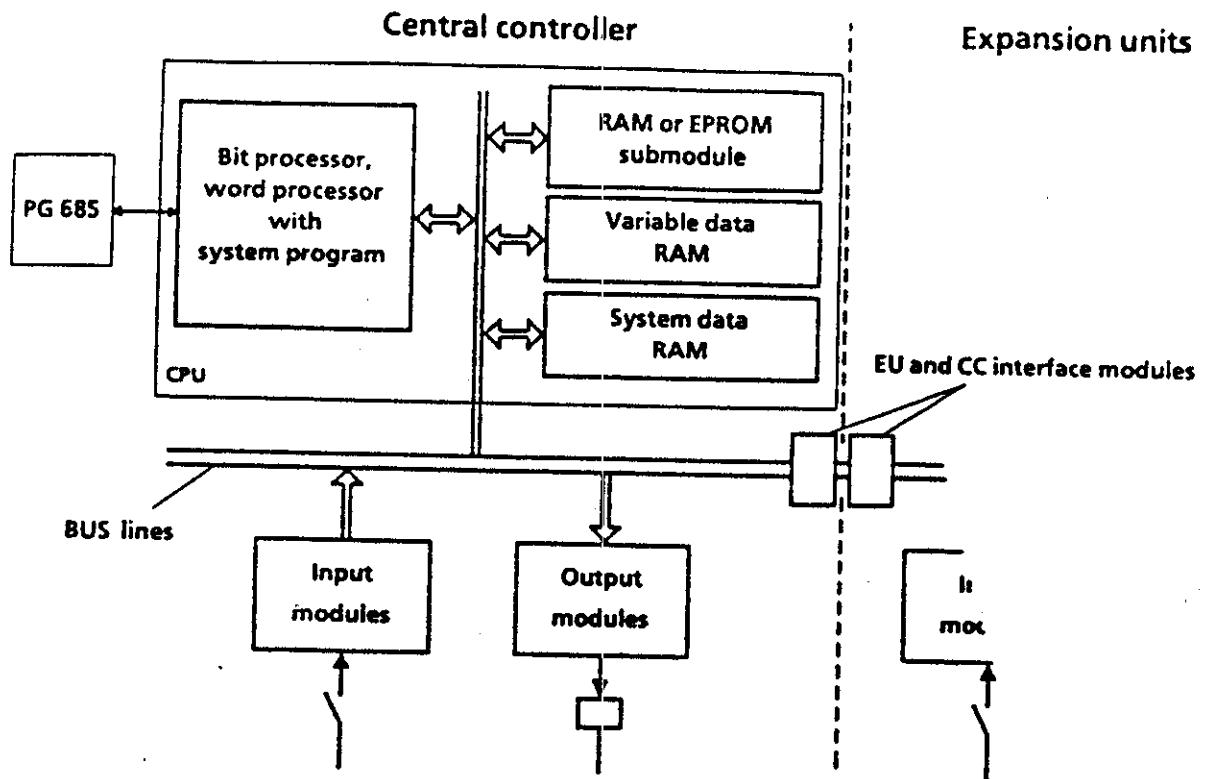


그림 13.4

프로그램 작성기
포트(port)

모든 SIMATIC S5 프로그램 작성기는 PLC의 앞면 판넬에 있는 프로그램 작성기 포트(port)로 연결할 수 있다 :

PG 605U, PG 615, PG 635, PG 675, PG 685, PG 695 및 PG 750

보조 포트

CPU 943과 CPU 944에는 선택 사양으로 다른 장치(예. 프린터 또는 SINEC L1의 LAN)를 위한 보조 포트(auxiliary port)를 이용할 수 있다.

조직 블록 OB 1

모든 SIMATIC S5 PLC는 주기적으로 프로그램을 검색한다. 이 과정은 대부분의 경우에 조직 블록 OB 1에 의해서 처리된다. 절대 블록 호출(JU)을 포함한 OB 1만이 권장된다. 이 각각의 프로그램 블록은 프로그램 호출 순서대로 처리된다.

**디지털 데이터
입/출력 기억 장치
PII 및 PIQ**

프로그램 주기 동안에 프로그램의 간섭에 의해 발생할 수 있는 신호 상태 전이를 막기 위해, 입력 신호는 디지털 데이터 입력 기억 장치(PII)에서 임시 저장(버퍼)되어야 한다. 운영 체제는 검색 주기 ①의 시작 전에 디지털 데이터 입력 기억 장치(PII)로 적재한다. 프로그램 수행 동안에 입력 검색의 수행은 디지털 데이터 출력 기억 장치(PIQ)에 저장되고, OB 1에서 마지막 명령(BE)이 수행된 후에, 출력 모드 ②로 전송된다. 새로운 주기는 그 다음 시작된다. 명령을 적재 또는 전송하면, PII에서 중간 저장을 생략하고 I/O를 직접적으로 호출 가능하다.

각각의 cold restart한 후에 PLC는 자동적으로 모듈이 삽입되어 있는지를 결정한다. PLC는 실제적으로 사용 가능한 디지털 데이터 입/출력 기억 장치와 입/출력 모듈 사이의 전송을 보장해 준다. 이것은 시간을 절약해 주며 입/출력 모듈에서의 고장 발견을 가능하게 한다.

검색 시간

검색 시간은 검색 시간 모니터에 의해서 점검된다. 설정 시간이 초과하면 PLC는 정지한다(인터럽트 스택(ISTACK)은 ZYK에서의 오류 발생을 알린다).

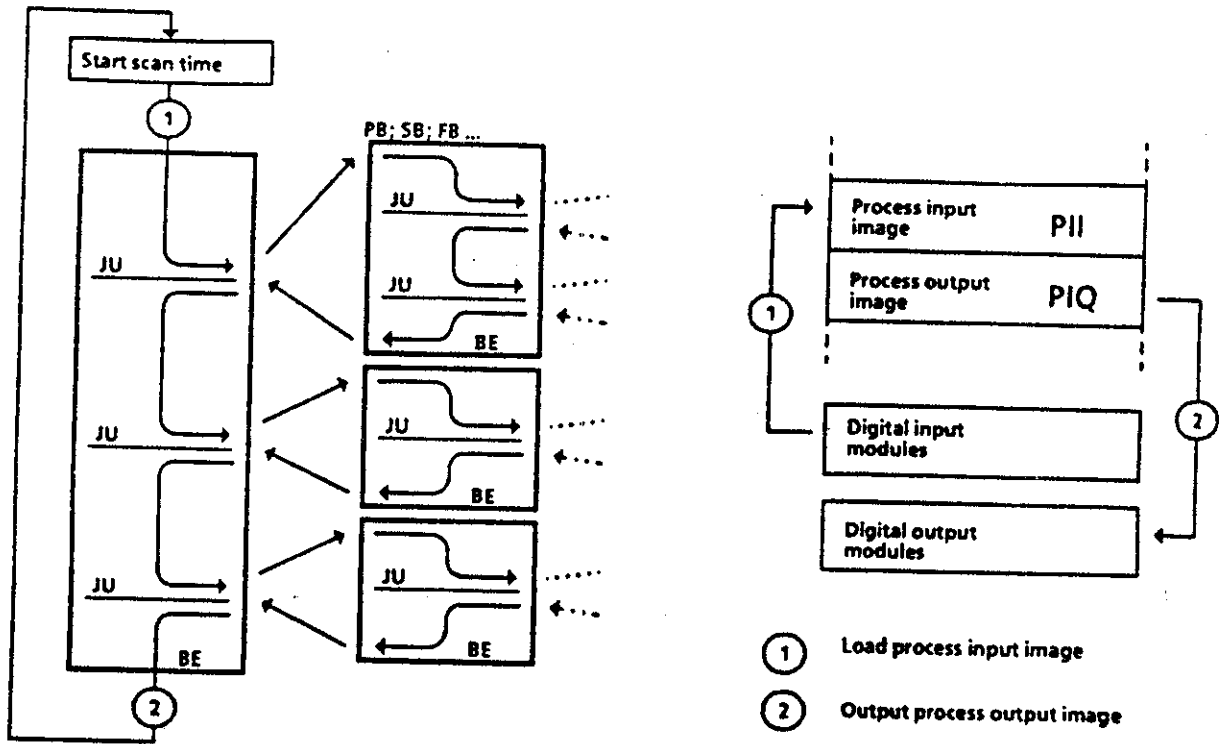


그림 13.5

Notes :

디지털 입력 모듈

디지털 입력 모듈은 공정(제어 대상)에서 오는 외부 이진 신호를 PLC의 내부 신호 레벨로 변환한다.
 디지털 입력 모듈은 입력 회로의 외란을 억제하고 단시간의 과전압 침투치를 제한한다. 녹색의 LED 표시등은 입력의 신호 상태를 나타낸다. 입력 모듈은 다른 입력 전압에 따라 사용 가능하다(제품 사용 설명서의 카탈로그 참조).

입력의 갯수

입력과 출력의 합이 512개를 초과하지 않는 CPU 941을 제외하면, 모든 다른 CPU는 최대 1024개의 디지털 입력을 설치할 수 있다.

아날로그 입력

모든 CPU는 또한 최대 64개의 아날로그 입력을 처리할 수 있다.

프로그램 검색

PLC에서, CPU와 I/O모듈은 신호 그룹 회로와 버스 회로를 통하여 신호를 교환한다.

검색 주기의 시작에서, 디지털 입력의 신호 상태는 바이트-직렬 모드에서 디지털 데이터 입력 기억 장치(PII)로 전송된다. 입력 바이트는 하나씩 하나씩 읽혀진다. 적절한 바이트의 현재 신호 상태는 누산기로 적재된 후 디지털 데이터 입력 기억 장치(PII)로 전송된다. 디지털 데이터 입력 기억 장치(PII)는 내부 RAM 영역으로 디지털 입력의 논리 상태가 저장되고, 적어도 한 검색 주기 동안 "동결"(frozen)된다.

디지털 데이터 입/출력 기억 장치에 대한 적재와 전송 동작은 운영 체제에 내장되어 있다(펌웨어, firmware).

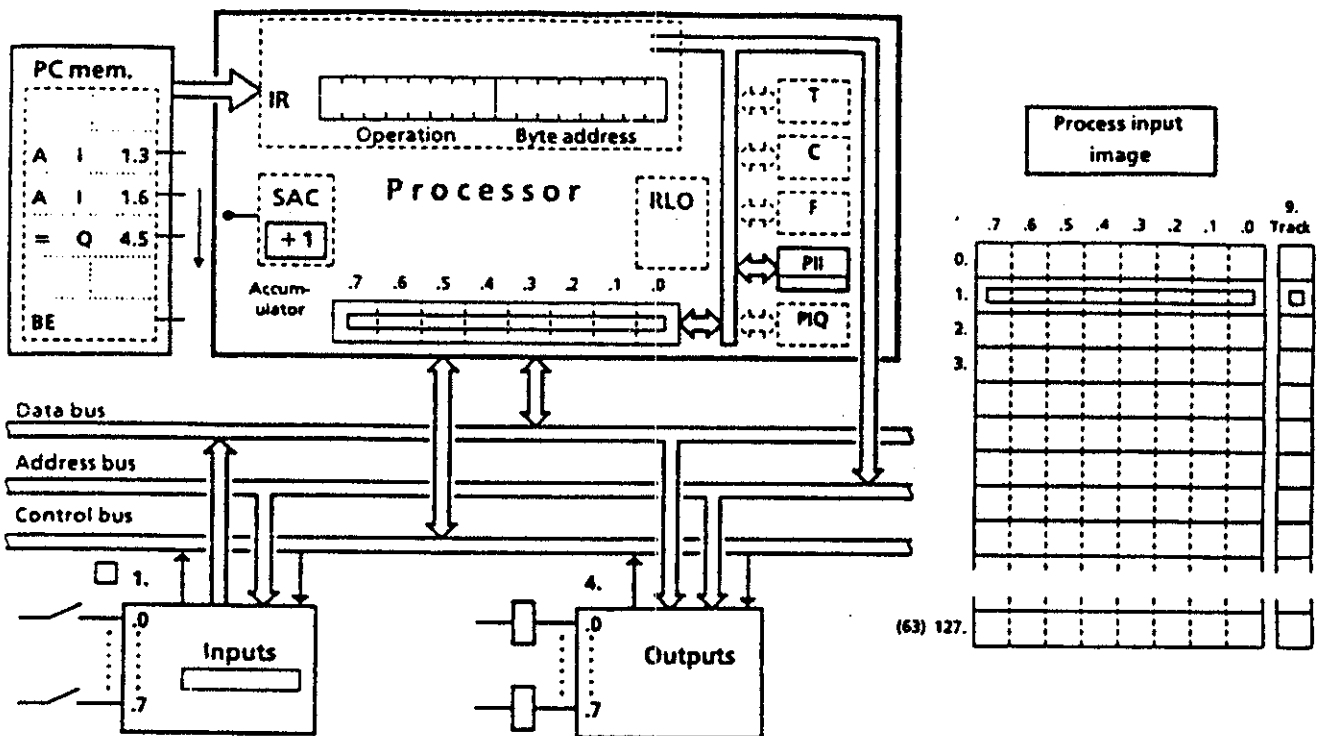


그림 13.6

CPU는 연속적으로 프로그램 기억 장치에 위치한 명령을 처리한다.

예 제

이 예제는 사용자 기억 장치의 한 부분에 세개의 명령이 있음을 보여 준다 :

입력 I 1.3과 I 1.6의 신호가 "1"이면 출력 Q 4.5는 설정된다.

펄스는 플록 발생기에 의해 STEP 5 번지 카운터 SAC의 카운터 입력에 매 2.2μs마다 인가된다. 이 펄스는 프로그램 기억 장치에서 다음 STEP 5 명령의 번지를 찾을 수 있도록 증가한다. 카운터의 각 수(주소)는 프로그램 기억 장치에서 기억 장치 위치(2 바이트)를 지정한다. 카운트가 명령 "A I 1.3"이 위치한 기억 장치 위치에 이르렀을 때, 이 명령은 명령 레지스터 IR로 전송되어진다.

IR 레지스터에서, 명령은 동작 코드(operation code)와 연산수로 나뉘어진다. 연산수 식별자와 바이트 주소 "I 1.3"은 주소 버스를 통하여 요구되어질 디지털 데이터 입력 기억 장치로부터 1 바이트와 누산기의 데이터 버스를 통하여 전송될 8개의 비트(신호 상태)를 발생시킨다. 동시에 인식 신호는 프로세서로 보내진다.

프로세서는 동작 기호와 비트 주소 "A I 1.3"을 인식하고, 전송되어 온 8 비트의 주소 3의 비트를 찾아 그 비트의 "1"을 가지고 검색하고 그 직전의 검색 동작 결과와 논리곱(AND) 연산한다. 그 다음에 새로운 논리 연산의 결과(RLO)가 저장된다.

다음의 카운터 펄스가 STEP 주소 카운터로 전송된 뒤에, 디지털 데이터 입력 기억 장치(PII)에서는 같은 방법으로 I 1.6의 신호 상태가 검색된다.

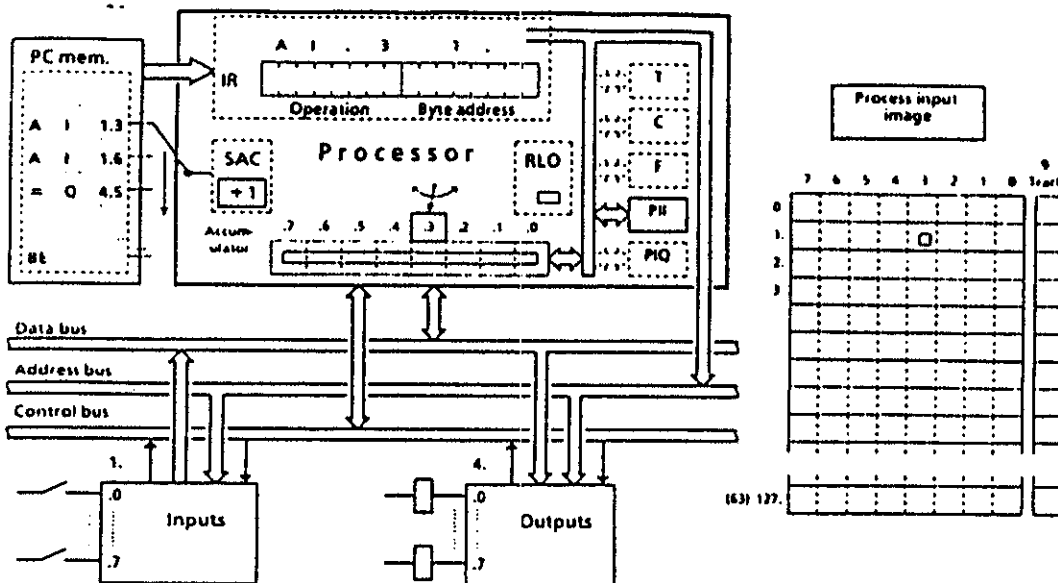


그림 13.7

디지털 출력 모듈	디지털 출력 모듈은 PLC의 내부 신호 단계를 공장(제어대상)에서 필요한 더 높은 전류와 전압 단계로 변환한다. 출력 신호 단계는 LED를 통하여 표시되며, 출력 모듈의 대부분은 단락 회로 보호 기능을 갖는다.
출력의 갯수	CPU 942, 943, 944는 주소 1024개의 디지털 출력을 갖는다. CPU가 941일때, 디지털 입력과 출력의 합은 512를 초과할 수 없다.
아날로그 출력	모든 CPU는 최고 64개의 아날로그 출력을 갖는다.
예 제	<p>이 보기는 3개의 명령문을 갖는 사용자 기억 장치의 한부분을 나타낸다. 입력 I 1.3과 I 1.6에서의 신호 상태 "1"은 출력 Q 4.5를 설정한다.</p> <p>명령문 = Q 4.5는 입력 I 1.3과 I 1.6 모두를 검색하는 명령을 따르며, 앞선 검색의 결과에 따라서 출력 Q 4.5를 설정(RLO = 1) 또는 재설정(RLO = 0)하기 위해 사용된다. AND 입력이 모두, 예를 들면, "1" 상태 즉, RLO = 1이면, 출력 Q 4.5는 설정된다. 출력은, 검색된 입력의 어느 하나라도 "0" 상태이라면, 재설정 되거나 또는 재설정 상태를 지속한다.</p>
참 고	논리 연산 결과(RLO)는 설정 또는 재설정 명령문에 대하여 반드시 "1"이어야 한다. 출력은 RLO가 "1"일 때에만, 설정 또는 재설정 된다.
디지털 데이터 출력 기억장치 PIQ	<p>논리 연산의 결과(RLO)는 직접 출력으로 지정되지 않고, 먼저 디지털 데이터 출력 기억 장치(PIQ)에 저장된다. 각각의 출력에는 하나의 기억 장치의 위치가 지정된다. 출력이 프로그램 수행 동안에 검색되면, 프로세서는 디지털 데이터 출력 기억 장치 PIQ로부터 출력의 신호 상태를 가지고 온다.</p> <p>주기적인 검색이 끝난 뒤에서만 PIQ의 내용이 입/출력 모듈로 전송된다(다음 쪽 참조).</p>

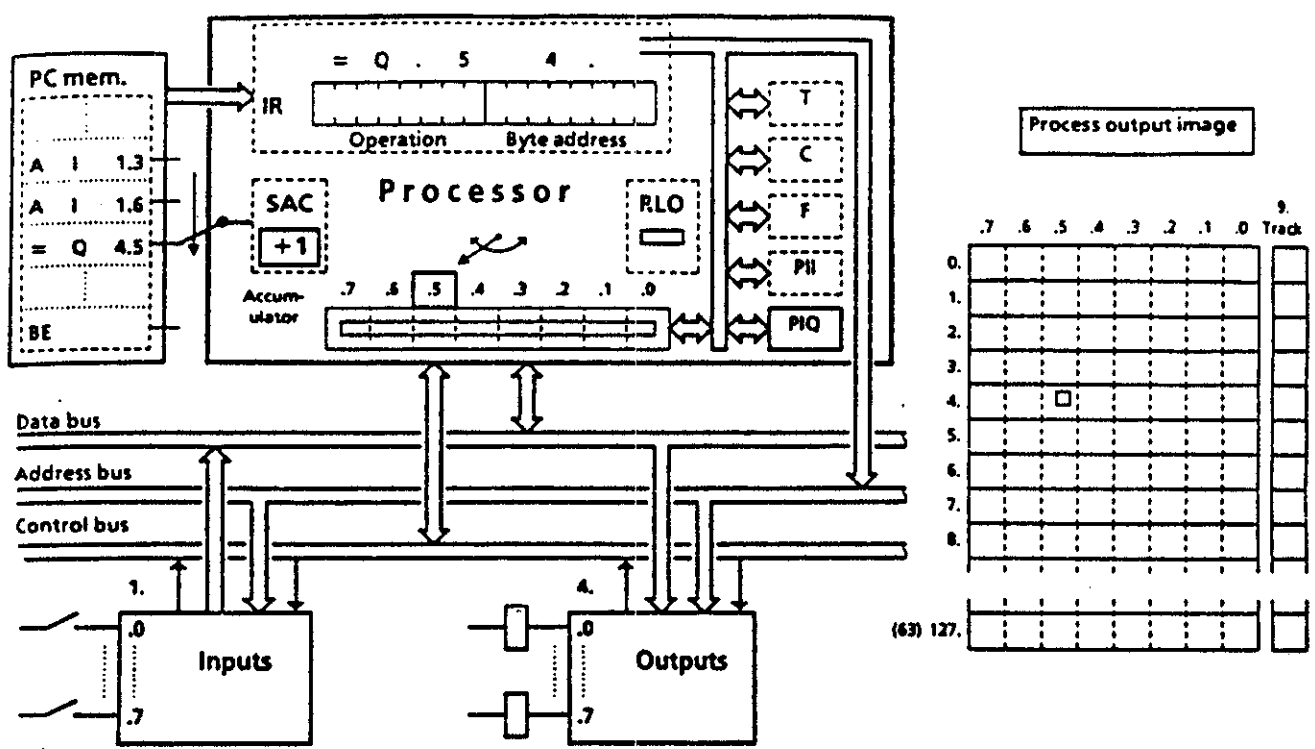


그림 13.8

Notes :

디지털 데이터
출력 기억 장치
PIQ

"BE" 명령(블록 끝)을 포함한 OB 1에 있는 모든 프로그램 명령이 수행되었을 때, 프로세스는 디지털 데이터 출력 기억 장치에 저장된 신호 상태를 한 바이트씩 각각의 출력 모듈로 전송한다.

디지털 데이터 입/출력 기억 장치의 바이트 주소는 주소 버스에 직접 놓여 있으므로, 해당되는 출력 모듈의 8개의 신호 상태를 포함하는 데이터 바이트는 누산기와 데이터 버스를 거쳐 선택된 출력 모듈로 전송된다.

디지털 출력 기억 장치(PIQ)와 병행하여 "9번째 비트"가 있다(다음 쪽의 그림 참조). 프로그램 수행 동안에, 프로그램에 의하여 참조된 모든 출력 바이트 주소는 9번째 비트를 "1" 상태로 설정되어 "꼬리표가 표시된다(tagged)". 프로세스가 디지털 데이터 출력 기억 장치를 읽어낼 때, 프로세서는 9번째 비트 = "1"인 바이트 주소들의 인식 신호(acknowledge signal)를 받은 출력만 읽어낸다.

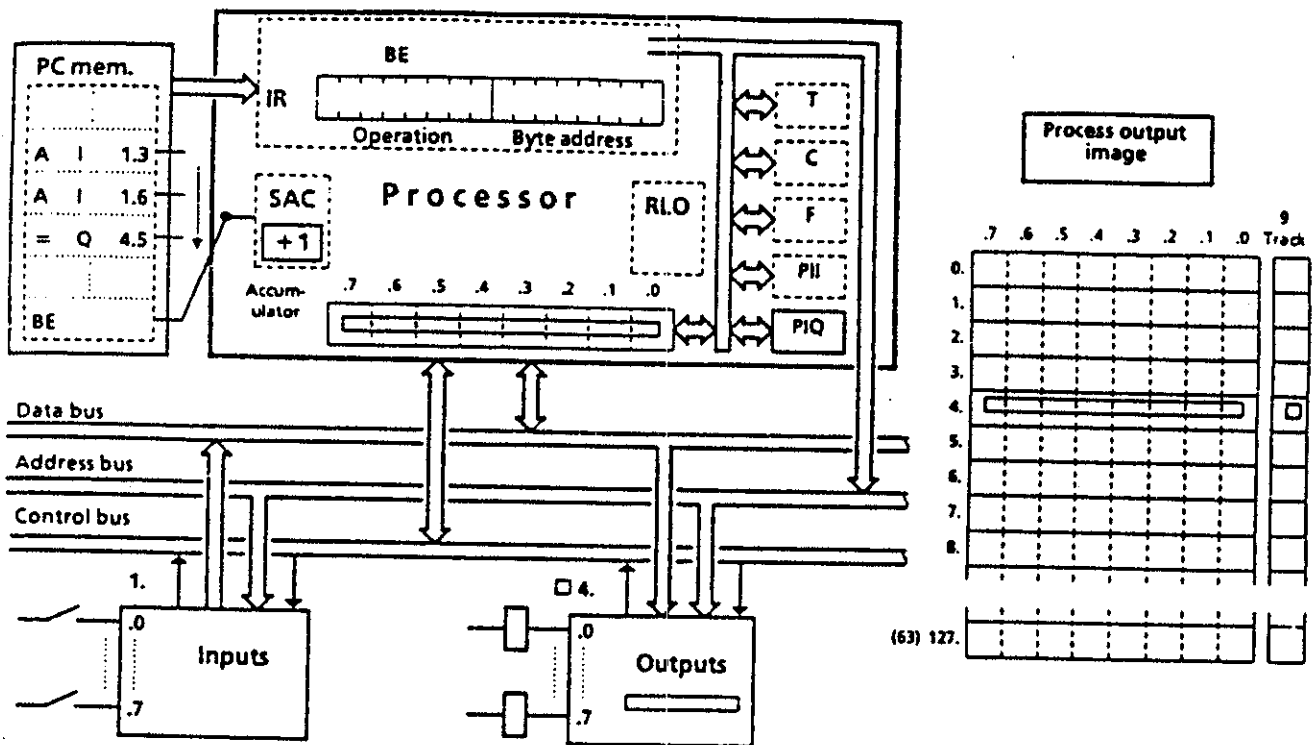


그림 13.9

플래그 영역

S5-115U의 CPU는 2048개의 플래그를 가지며, 플래그 비트는 8개씩 묶어 256개의 플래그 바이트 그룹으로 나누어지며, 각각의 플래그 바이트의 바이트 주소는 0에서 7까지이다. 이 플래그 영역은 시스템 데이터 영역에 있다. 백업 전지를 사용하면, (2048개의 플래그 비트 중에서) 1024개의 플래그는 선택적으로 보존적(retentive)으로 만들 수 있으며, 보존성을 가진 플래그는 정전이 발생하여도 신호 상태를 보존 유지한다.

프로그램 검색

플래그는 프로그램 검색 동안의 중간 결과를 저장하기 위해 사용된다. 플래그는 방금 수행한 명령문에 따라서 설정 또는 재설정된다. 플래그는 "1"(설정) 또는 "0"(재설정)으로 검색(scan)된다.

프로세서와 플래그 영역 사이의 데이터 전송은 오직 CPU 안에서만 일어난다.

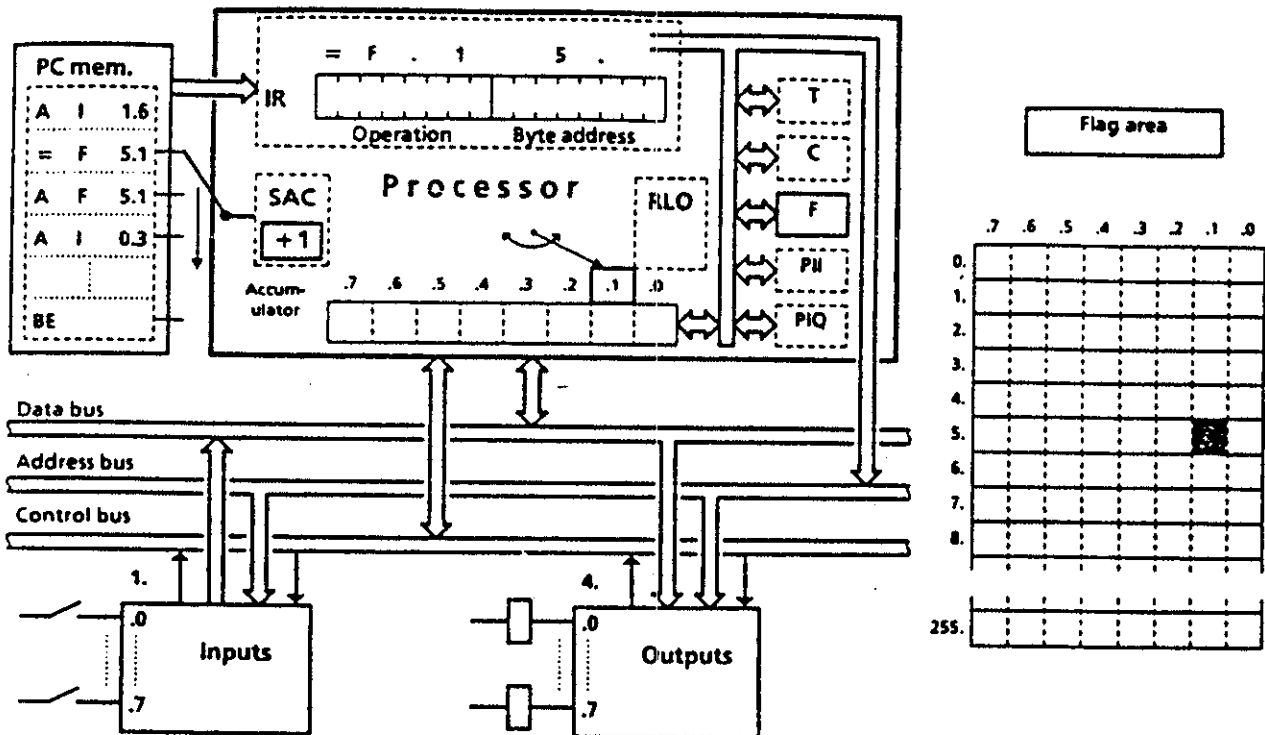


그림 13.10

시스템 데이터	<p>기억 장치의 위치는 또한 카운터와 타이머를 위하여 보유되어 있으며, 타이머와 카운터의 값과 상태는 시스템 데이터의 타이머와 카운터 전용 영역에 워드(16 비트) 단위로 각각 저장된다.</p> <p>모든 CPU는 128개의 타이머와 128개의 카운터를 갖으며, 그중의 절반은 선택적으로 보존적으로 만들 수 있다.</p>
타이머	<p>논리연산 결과(RLO)가 타이머의 시작 입력에서 "0"에서 "1"로 변할 때, 설정된(set) 시간은 타이머가 시작되기 전에 시스템 데이터 영역에 저장된다. 이것은 시간과 시간 기저를 누산기(L KT...)에 적재하고, 시스템 데이터의 타이머로 전송함에 의해 이뤄진다.</p> <p>타이머가 시동한 후에 시간은 시간 기저에 따라 감소된다.</p> <p>타이머의 2진 상태(status)와 타이머 현재 시간은 AT..., LT..., LD T... 연산을 이용하여 시스템 데이터 영역에서 검색될 수 있다.</p>
카운터	<p>카운터 입력에서 RLO가 "0"에서 "1"로 변할 때, 시스템 데이터 영역에서 카운터의 계수는 1씩 각각으로 증가 또는 감소된다. RLO가 설정 입력에서 "0"에서 "1"로 변할 때, 카운터는 특정값으로 설정된다. 이 과정은 요구되는 카운터 상태(L KC...)를 누산기로 적재하고, 그 다음에 시스템 데이터의 카운터 영역으로 전송함에 의해 이루어진다.</p> <p>카운터의 이진 상태와 카운터의 현재 계수는 AC..., LC..., LD C... 연산에 의해 시스템 데이터 영역에서 검색될 수 있다.</p>

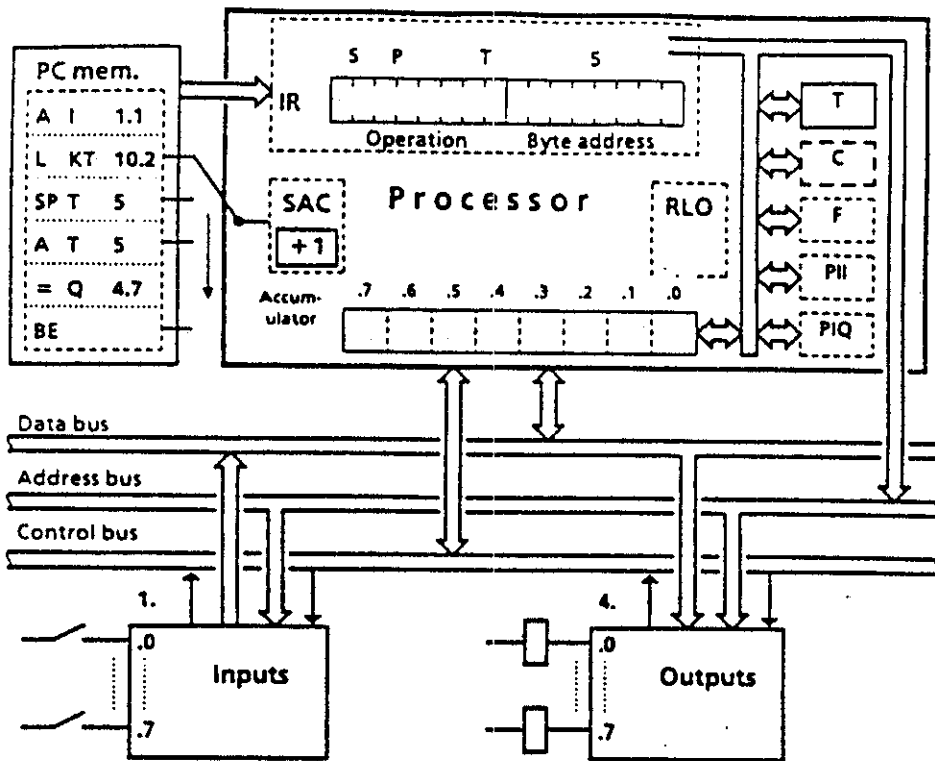


그림 13.11

Notes :